

## TKT-1400 ASIC suunnittelu 1 (ASIC Design 1)

Luennoitsija Jouni Tomberg

Tentti 1.12.2005

1) \* Kuvaa yleinen ASIC suunnitteluvu; sen päävaiheet ja -tehtävät sekä suunnittelun kannalta kriittiset kohdat.

\* Describe a general ASIC design flow; the main phases and tasks as well as critical issues from the design point of view.

(7p)

2) \* Mitä tarkoittaa "clock skew"? Miten se vaikuttaa piirin toimintaan ja miten se pitäisi huomioida suunnittelussa?

\* Explain the term "clock skew"? How does it affect the circuit operation and how should you notice it in the design work?

(4p)

3) \* Mitä tarkoittaa tuotantotestauksessa prosessin saanto (yield), vikakattavuus (fault coverage), kontrolloitavuus (controllability) ja havaittavuus (observability) ja mikä on niiden välinen riippuvuus?

\* Explain the terms "yield", "fault coverage", "controllability" and "observability" in the production testing and the relationship between them.

(4p)

4) \* Mitä syitä on toteuttaa tai olla toteuttamatta jokin systeemi ASICina?

\* Which are the reasons to implement or not to implement a system as an ASIC (i.e. benefits / disadvantages)

(5p)

5) \* Mitä tarkoitetaan suunnittelun fyysisen tason linkeillä (Links-to-Layout)? Miksi niiden merkitys on niin suuri nykyisin suunnittelussa? Miten ne käytännössä näkyvät VHDL synteisiin pohjautuvassa suunnitteluvuossa (menetelmät, työkalut)?

\* What means the concept "Links-to-Layout"? Why is it so important nowadays in the design flow? How do you see it in the VHDL synthesis based design flow (methods, tools)?

(5p)