

Mitä tahansa laskinta tai sanakirjaa saa käyttää. Tenttipaperille voi tehdä mitä lystää.
HUOM! Opiskelijoilla saa olla yksi A4-arkillinen omia muistiinpanoja mukana. Ne saa tehdä molemmin puolin ja vapaavalintaisella tyylillä, eikä niitä tarvitse palauttaa.

Jos suoritat tenttiä, vastaa kaikkiin kysymyksiin.

Jos suoritat 2. välikokeen, vastaa vain kysymyksiin 3-6.

Tekstin lisäksi suosi kaavoja, kuvia, taulukoita ja esimerkkejä vastauksissasi.

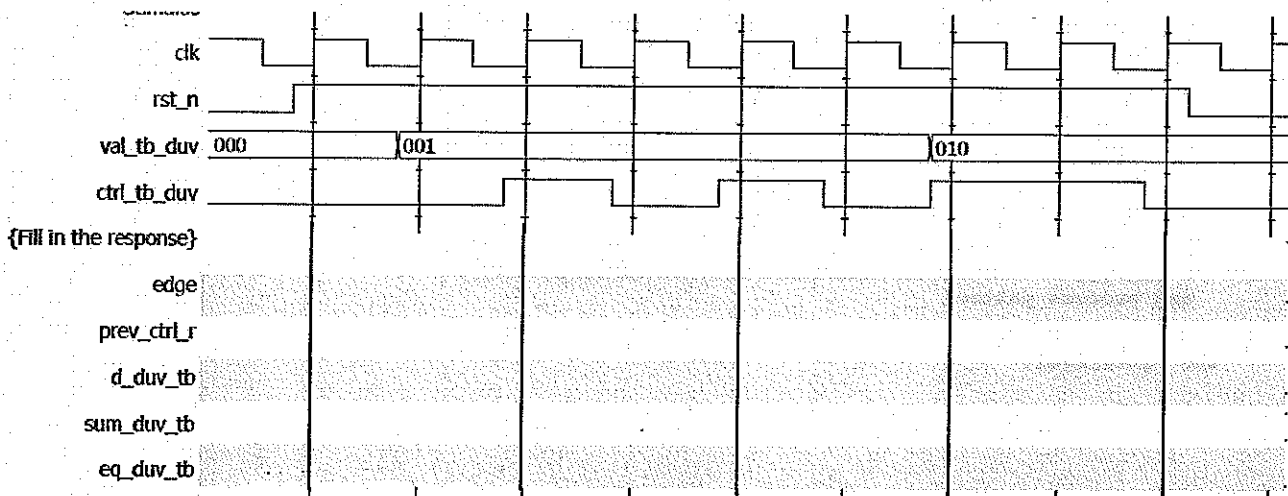
Logiikkakuviissa voit käyttää perusporttien (AND, OR...) lisäksi kiikkuja, multipleksereitä, yhteen-, vähennys- ja kertolaskuyksiköitä sekä vertailijoita. Nimeä kaikki signaalit ja merkitse niiden leveys selkeästi. Pyri vastaamaan tehtäviin oikeassa järjestyksessä (1a, 1b, 1c, 2a, ..., 5c).

1. Vastaa ja selitä (á 2p)

- Termit: signal's event ja delta delay
- Merkittävimmät erot synkronisen ja asynkronisen resetin välillä
- Esimerkkejä VHDL-kielen rakenteista, jotka eivät syntesoidu (joko koskaan tai aina)

2. Analysoi seuraavan sivun VHDL-koodia. Kellojakso on 10 ns.

- Mitä virheitä tai epäilyttäviä kohtia koodissa on? (4p)
- Täydennä oheinen ajoituskaavio suoraan koodin perusteella (=ilman korjauksia). Esitä simulaattorin mukainen ajoitus. (5p)

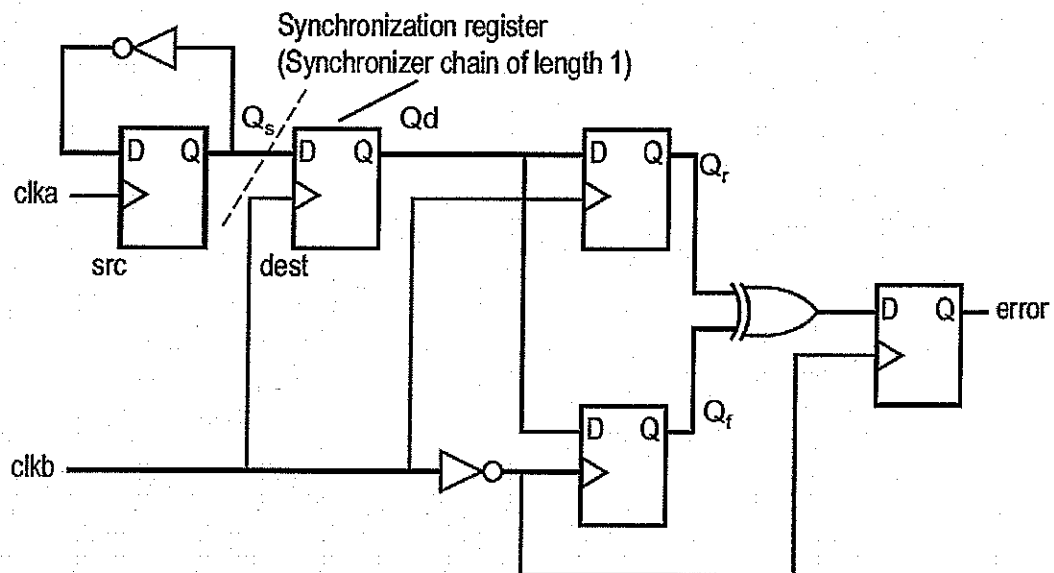


Nimi: _____

Op. num. _____

5. Analysoi ao. mittauskytkentää.
- a) Kuinka metastabiilisuus havaitaan perus-RTL-simulaatiossa? (1p)
 - b) Miten kytkentä toimii? (vink: tekstin lisäksi lyhyt ajoituskaavio. vink2: sellainen jossa tapahtuu jotakin kiinnostavaa) (3p)
6. Kerro (á 1p)
- a) Monelleko prosentille luennoista osallistuit?
 - b) Miksi muistissa vuotovirran aiheuttaman tehonkulutus on usein suurempi kuin aktiivinen tehonkulutus?

Figure 4. Test Circuit Structure for Metastability Characterization



Kuva t5. Testikytkentä

Nimi: _____
Op. num. _____