

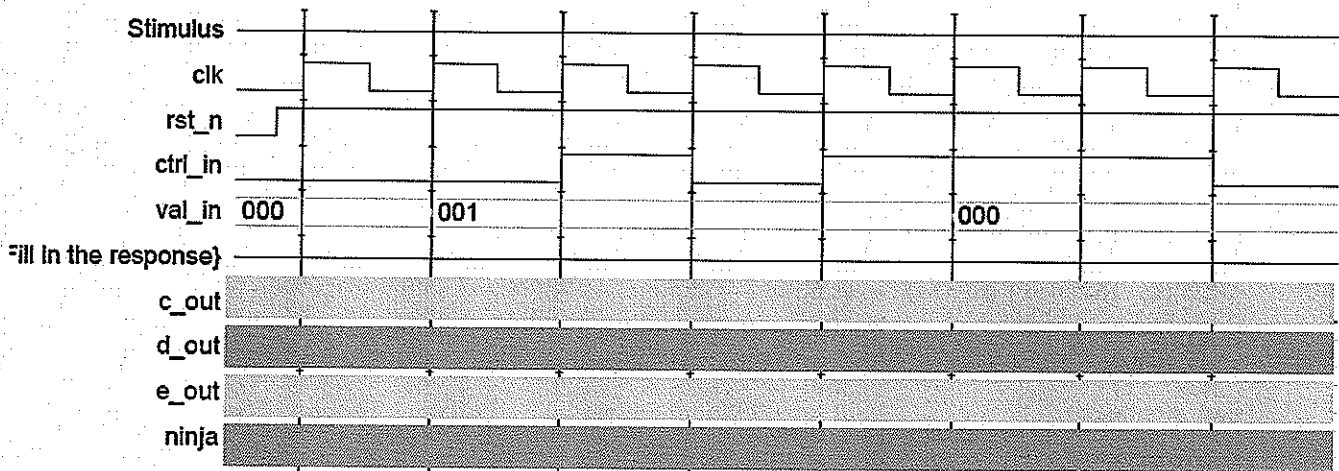
TIE-50200 Logiikkasynthese, välikoe, sivu 1/2,
ma 3.3.2014

Laatinut: Erno Salminen

Mitä tahansa laskinta saa käyttää. Sanakirjaakin saa käyttää. Lisäksi opiskelijalla saa olla **omia muistiinpanoja yksi A4-arkillinen**, eikä niitä tarvitse palauttaa. Tenttipaperille saa tehdä mitä lystää.

Tekstin lisäksi suosi kaavoja, kuvia, taulukoita ja esimerkkejä vastauksissasi. Pyri vastaamaan oikeassa järjestyksessä (1a, 1b, ... 3c)

1. Selitä seuraavat (á 2p)
 - a) Miten laitteistonkuvauskielen for-silmukka eroaa ohjelmointikielten vastaavasta (esim. VHDL vs. C)?
 - b) Mikä ero on arkkitehtuurityypeillä RTL ja structural?
2. Tilakoneet
 - a) Anna esimerkki kuinka Mealyn tilakone eroaa Mooren koneesta? (2p)
 - b) Mitkä ovat perustyyliä tilakoneiden kuvaamiseen VHDL:llä? Mitä käytännön eroja niillä on?(2p)
3. Analysoi seuraavan sivun VHDL-koodia. Kellojakson pituus on 10 ns.
 - a) Mitä virheitä tai epäilyttäviä kohtia koodissa on? (Siinä ei ole syntaksivirheitä) (3p)
 - b) Täydennä oheinen ajoituskaavio suoraan koodin perusteella eli ilman korjauksia. Esitä simulaattorin mukainen ajoitus. (4p)
 - c) Mikä on Tenho Saurenin tunnetuin rooli? (0p, mutta hyvä mieli)



**TIE-50200 Logiikkasynteesi, välikoe, sivu 1/2,
ma 3.3.2014**

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity valikoel is
  generic (
    data_width_g : integer := 3);
  port (
    clk      : in  std_logic;
    rst_n    : in  std_logic;
    ctrl_in  : in  std_logic;
    val_in   : in  std_logic_vector (data_width_g-1 downto 0);
    c_out    : out std_logic;
    d_out    : out std_logic_vector (data_width_g-1 downto 0);
    e_out    : out std_logic_vector (data_width_g-1 downto 0)
  );
end valikoel;

architecture gatelevel of valikoel is

  signal ninja : unsigned ( data_width_g-1 downto 0);

begin

  tenho: process (ctrl_in, ninja, val_in)
  begin
    if ctrl_in = '1' then
      e_out <= not val_in after 4 ns;
    else
      e_out <= val_in after 4 ns;
    end if;
  end process tenho;

  sauren : process (clk, rst_n, ninja)
  variable tmp_v : unsigned (3-1 downto 0);
  begin
    if rst_n = '0' then
      ninja <= (others => '0');

    elsif clk'event and clk = '1' then
      tmp_v := ninja+1;
      d_out <= std_logic_vector(tmp_v);
      ninja <= ninja +2;

    end if;
  end process sauren;

  process (ninja)
  begin
    if to_integer (ninja) = 6 then
      c_out <= '1';
    else
      c_out <= '0';
    end if;
  end process;

  --c_out <= '0';

end gatelevel;
```